

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-099856  
(43)Date of publication of application : 09.05.1987

(51)Int.Cl.

G06F 15/06  
G11C 17/00

(21)Application number : 60-240094

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.10.1985

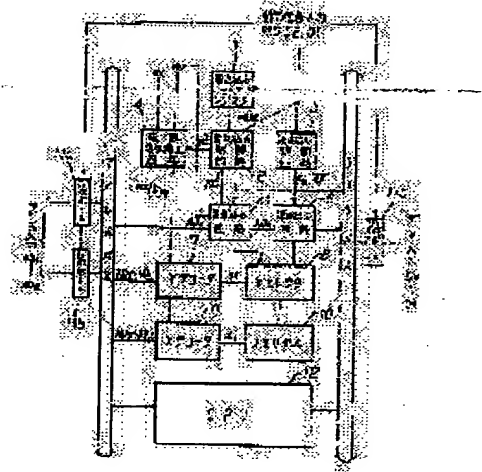
(72)Inventor : ITO SAKAE

(54) MICROCOMPUTER

(57)Abstract:

**PURPOSE:** To improve the using efficiency of an EPROM by providing a writing mode register which stores the control switching information to decide whether the writing is carried out to the EPROM from outside or the writing is performed under the control of a microcomputer.

**CONSTITUTION:** When a writing mode register 1 indicates that the writing is carried out under the control of a microcomputer, the connection of the address and data buses is cut off to the external circuits. Then both buses are connected to the output of a CPU 12 and the CPU 12 outputs an address showing an address to be written to a memory cell 10 containing an EPROM to the address bus. Then the CPU 12 outputs the data to be written to the cell 10 to the data bus. Thus the writing is possible to the EPROM with execution of an instruction carried out by the microcomputer itself. As a result, the EPROM can be used for purposes excluding a program memory, therefore the using efficiency of the EPROM is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-99856

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④公開 昭和62年(1987)5月9日

G 06 F 15/06  
G 11 C 17/00

3 2 0  
3 0 9

7343-5B  
6549-5B

審査請求 未請求 発明の数 1 (全6頁)

⑬発明の名称 マイクロコンピュータ

⑭特 願 昭60-240094

⑮出 願 昭60(1985)10月25日

⑯発 明 者 伊 藤 栄 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所  
内

⑰出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

EPROM(erasable and electrically programmable read-only memory)を内蔵し、このEPROMに対しアドレスバスを通して外部から指定したアドレス位置にアクセスし、データバスを通して外部から入力するデータを書き込むことができるようにしたマイクロコンピュータにおいて、

上記EPROMに外部から書き込みを行なうか、外部装置を使用せず当該マイクロコンピュータの制御により書き込みを行なうかの制御切替情報を格納する書き込みモードレジスタ、

この書き込みモードレジスタが当該マイクロコンピュータの制御により書き込みを行なうことを示しているとき、上記アドレスバス及び上記データバスと外部回路との間の接続をしや断した状態で、当該マイクロコンピュータのCPUから上記アドレスバス上に上記EPROMの書き込むべき番地を

示すアドレスを出力し、上記データバス上に上記EPROMへ書き込むべきデータを出力し、上記EPROMへ加える電圧は上記外部装置による書き込みの場合と同様にして、上記EPROMへの書き込みを実行する手段を備えたことを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はEPROM(erasable and electrically programmable ROM)を内蔵するシングルチップマイクロコンピュータ(single chip micro-computer)に関するものである。

(従来の技術)

第5図は従来のEPROM内蔵8ビットシングルチップマイクロコンピュータにおけるEPROMへの書き込み読み出し部分のブロック図である。図において点線は電源を、一点鎖線は制御信号を、実線はデータの流れをそれぞれ表わす。Vcc, Vppは外部入力電源であり、PGM(プログラムメモリ)、CE(チップイネーブル)、OE(アウトプットイネーブル)は外部から入力される制御信号の信号

名を表わす。 $AD_0 \sim AD_{12}$  は 13 ビットのアドレスを、 $D_0 \sim D_7$  は 8 ビットのデータを表わす。(2) は書き込み制御回路で、外部から制御信号 PGM, CE, OE を入力し、書き込み回路(3)と電源切り換え回路(4)に制御信号 PRG\* を送る。(5) は読み出し制御回路で、外部から制御信号 PGM, CE, OE を入力して読み出し回路(6)に読み出し信号  $\phi_R$ ,  $\overline{RP}$  を送る。(7) は Y デコーダ(列デコーダ)でアドレス  $AD_1 \sim AD_5$  をデコードして Y セレクタ(8)にデコード信号  $y_i$  を送る。(9) は X デコーダ(行デコーダ)でアドレス  $AD_5 \sim AD_{12}$  をデコードしてデコード信号  $x_i$  をメモリセル(10)に送る。メモリセル(10)は EPROM で構成される。(11a), (11b), (11c) は外部とアドレス及びデータの入出力を行なう I/O ポートである。I/O ポート(11a), (11b) から入力したアドレス入力  $AD_0 \sim AD_{12}$  の 13 ビットはアドレスバスを経て  $AD_0$  は書き込み回路(3)に、 $AD_1 \sim AD_4$  は Y デコーダ(7)に、 $AD_5 \sim AD_{12}$  は X デコーダ(9)に入力される。また I/O ポート(11c)に入出力するデータはデータバスを経て書き込み回路(3)に入

力され又は読み出し回路(6)から出力される。

図 6 図は第 5 図に示す書き込み制御回路(2)の接続を示す回路図であり、第 5 図と同一符号は同一部分を示し、(21)はインバータ、(22)はナンドゲート、(23)はノアゲートである。

第 5 図の回路で、EPROM からの読み出しは普通の ROM や RAM からの読み出しと同様であるのでその説明を省略し、EPROM への書き込み動作について説明する。

EPROM への書き込みを行うには、シングルチップマイクロコンピュータをリセット状態にし  $V_{pp} = 21V$  を印加することによって行なう。 $V_{cc} = 5V$  である。このとき、外部からの制御信号は PGM は 'L' レベル、CE は 'H' レベル、OE は 'L' レベルとしてアドレス  $AD_0 \sim AD_{12}$  及びデータ  $D_0 \sim D_7$  を I/O ポート(11a), (11b), (11c) から入力する。このとき、ゲート(22)の出力は 'H' レベルで信号 PRG\* は 'L' レベルである。次に、信号 PGM を 'H' レベルにすると、書き込み回路(3)に 'H' レベルの信号 PRG\* が加えられアドレスで選択されたメモリセルにデ

ータ(論理 '0' 又は論理 '1')が書き込まれる。すなわち、OE は 'L' レベルであることは I/O ポート(11c)からデータバスを経て書き込み回路(3)へデータが入力されることを意味し、I/O ポート(11a), (11b)からは常にアドレスが入力され、 $AD_1 \sim AD_4$  は Y デコーダ(7)に、 $AD_5 \sim AD_{12}$  は X デコーダ(9)に入力されている。

信号 PRG\* が 'H' レベルになると電源切り換え回路(4)の出力  $V_{cc}/V_{pp}$  は  $V_{pp}$  となって Y デコーダ(7)と X デコーダ(9)には 21V の電圧が供給され、デコード信号  $y_i$ ,  $x_i$  もその 'H' レベル  $V_{pp}$  の電圧レベルになる。

また、書き込み回路(3)では信号 PRG\* が 'H' レベルのときデータビットの論理が '0' ならば Y セレクタ(8)に信号線(13)を通して電圧  $V_{pp}$  を供給し、データビットの論理が '1' ならば信号線(17)を開放する。したがってアドレス  $AD_1 \sim AD_{12}$  で選択されたメモリセルには書き込みデータが論理 '0' のときには書き込み回路(3)から Y セレクタ(8)を通してメモリトランジスタのドレインに、そして X

デコーダ(9)からそのメモリトランジスタのゲートにそれぞれ  $V_{pp}$  レベルの電圧が加えられ、そのメモリトランジスタのフローティングゲートに電子が注入される。一方、書き込みデータが論理 '1' の場合にはドレインには高電圧が加わらないのでこの電子注入は起らない。フローティングゲートに注入された電子は自然に放電されることなく、保持されており、フローティングゲートに電子が注入されて閾値電位が変化しているか否かによって、そのメモリトランジスタに記憶されている信号の論理を脱出することができる。

( 説明が解決しようとする問題点 )

従来の EPROM 内蔵シングルチップマイクロコンピュータにおいては、EPROM への書き込みはマイクロコンピュータを停止させた状態で EPROM ライタ等の外部装置によってアドレス及びデータを入力して行なう必要があり、RAM に対する書き込みの時のようにマイクロコンピュータが自分の持つ書き込み命令を実行することによって EPROM へ書き込むという簡便な操作ができないという点

に問題があった。

この発明は上記のような問題点を解決するためになされたもので、従来の EPROM への書き込み方法に加えて、マイクロコンピュータ自身の持つ書き込み命令を実行することによって EPROM への書き込みができる機能を新たに持たせ、EPROM をプログラムメモリとしてだけでなく、プログラム実行中に不揮発性メモリとして使用できるようにして EPROM の使用効率を高めることを目的としている。

#### 〔問題点を解決するための手段〕

この発明のマイクロコンピュータでは、外部の書き込み装置によって EPROM の書き込みを行うか、マイクロコンピュータ自身の命令実行によって EPROM の書き込みを行うかを切り換える信号を保持する 1 ビットの書き込みモードレジスタと、この書き込みモードレジスタの内容に従って書き込み方法の切り換えを行う切換装置を備えた。

#### 〔作用〕

この発明の装置ではマイクロコンピュータ自身

の命令実行によっても EPROM への書き込みを行うことができるので、EPROM をプログラムメモリ以外の目的に利用することが容易になった。

#### 〔実施例〕

以下この発明の実施例を図面について説明する。

第 1 図はこの発明の一実施例を示すブロック図で、第 5 図と同一符号は同一又は相当部分を示し、また、電源、制御信号及びデータの流は第 5 図と同一表示法で表示する。第 1 図において(1)は書き込みモードレジスタで、(12)は CPU である。

第 2 図は第 1 図の書き込みモードレジスタ(1)の接続を示す回路図で、図において(24)、(25)、(26)、(27)、(28)はトランスファゲート、(29)、(30)、(31)、(32)、(33)、(34)はインバータ、(35)、(36)、(37)はナンドゲート、(38)はアドレスデコーダであり、(14)はインバータ(32)の出力で、これが書き込みモードレジスタ(1)の内容を表す。

第 3 図は第 1 図の書き込み制御回路(2)の接続を示す回路図で、第 3 図において第 6 図と同一符号

は同一又は相当部分を示し、(15)はナンドゲート、(16)はナンドゲート(15)の出力、(39)はアドレスデコーダ、(40)、(41)、(42)はインバータ、(43)はアンドゲートであり、(17)はアンドゲート(43)の出力を示す。

第 2 図のインバータ(32)の出力(14)は書き込みモードレジスタ(1)の内容を表す信号であるが、この信号の論理が '0' の時にはインバータ(33)の出力である信号 WENB が 'L' レベルとなり、第 3 図のナンドゲート(15)の出力は 'H' レベルとなるから、第 3 図の回路は第 6 図の回路と等価となり、従来と同様の方法によって外部からアドレス  $AD_0 \sim AD_{12}$  及びデータ  $D_0 \sim D_7$  を入力して EPROM に書き込みを行なうことができる。

次に、マイクロコンピュータ自身の命令によって EPROM に書き込む方法について説明する。

第 2 図において、EPR、EPW はそれぞれモードレジスタへの読み出し信号、書き込み信号であり、それぞれマイクロコンピュータのプログラムの特定の番地に記憶されていて、アドレスデコーダ(38)から出力される。DB<sub>0</sub> はデータバス上の

第 0 番のビット、 $\overline{J6}$  はリセット信号である。また、第 2 図、第 3 図を通じ、WENB、EPRW は EPROM への書き込み方法を切り換えるための制御信号、 $R/\overline{W}$  はリード・ライト信号である。第 2 図において、信号 EPW (その反対論理の信号  $\overline{EPW}$ )、信号 EPR によって各トランスファゲートを制御し、インバータ(30)、(31)からナンドゲート(35)への帰還によってフリップフロップを構成するが、このフリップフロップに論理 '1' の信号を書き込む(出力(14)の論理を '1' にすることによって、信号 WENB は 'H' レベル、信号 EPRW は 'L' レベルとなる。次に  $V_{pp}$  に 21V を印加する。この時、マイクロコンピュータはリセット状態にはなっていないので、信号 EPRW は 'L' レベルになっていることから、I/O ポート(11a)、(11b)、(11c)からアドレスバス及びデータバスは外部とは接続されず、CPU(12)からの出力と接続されていて、マイクロコンピュータは自分の持つプログラムを実行するモードにある。この状態で、EPROM の任意の番地への書き込み命令、例えば STA 命令に

よって EPROM の特定の番地 (仮に hhll で表す) にデータを書き込む場合の動作タイムチャートを第 4 図に示す。第 4 図において  $\phi$  はマイクロコンピュータの基本クロック、PC はプログラムカウンタの内容である。信号  $R/\overline{W}$ 、アドレス、データ、出力 (17)、信号 PRG\* は第 1 図及び第 3 図に示す同一符号と同一信号である。図に示すとおりクロック  $\phi$  が 'L' レベルのサイクルで信号 PRG\* が 'H' レベルとなる。第 4 図に示すように、CPU (12) からアドレスバスを経て Y デコーダ (7)、X デコーダ (9) に供給されるアドレスは PC, PC+1, PC+2 と変化するが、アドレス PC+1 では ll で示すデータが、アドレス PC+2 では hh で示すデータが出力され、hhll が書き込むべきアドレスを表すものであり、PC+2 の次はアドレスバスにアドレス hhll を出力する。書き込むべきデータは CPU (12) からデータバス及び書き込み回路 (3) を介して入力され、外部からの書き込みと同様にして EPROM への書き込みが実行される。

ただし、クロック  $\phi$  が 'L' レベルである時間は極めて短い (たとえば 250 ナノ秒) であるので、

第 2 図は第 1 図の書き込みモードレジスタ (1) の接続を示す回路図、第 3 図は第 1 図の書き込み制御回路の接続を示す回路図、第 4 図はマイクロコンピュータ自身の制御によって EPROM への書き込みを行なう場合のタイムチャート、第 5 図は従来の装置を示すブロック図、第 6 図は第 5 図の書き込み制御回路の接続を示す回路図である。

(1) は書き込みモードレジスタ、(2) は書き込み制御回路、(3) は書き込み回路、(4) は電源切り換え回路、(7) は Y デコーダ、(8) は Y セレクタ、(9) は X デコーダ、(10) はメモリセル (EPROM)、(12) は CPU。

尚、各図中同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄

EPROM への書き込みを確実にするためには同一命令を何回か繰り返して実行する必要がある。

上記実施例では EPROM 内蔵の 8 ビットシングルスチップマイクロコンピュータにおいて、STA 命令によって書き込む場合について説明したが、このマイクロコンピュータの内部で EPROM の番地を指定し、この指定した番地に書き込み回路 (3) からのデータを書き込む命令であれば、どのような命令でもその実行によつてマイクロコンピュータの内部で EPROM への書き込みを行うことができる。

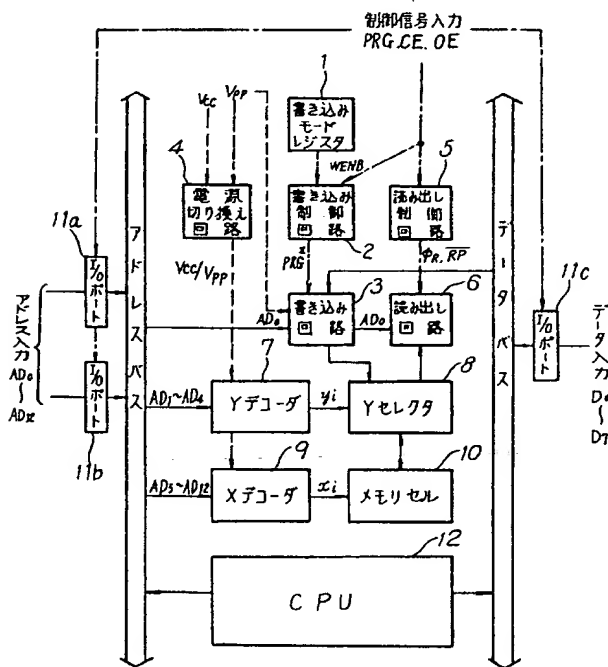
〔発明の効果〕

以上のようにこの発明によれば、マイクロコンピュータ自身の持つ書き込み命令によって EPROM への書き込みが可能となったので、従来はプログラムメモリとしてしか使用できなかった EPROM のプログラムの書かれてない領域は、プログラム実行時に不揮発性メモリとして使用できるという効果がある。

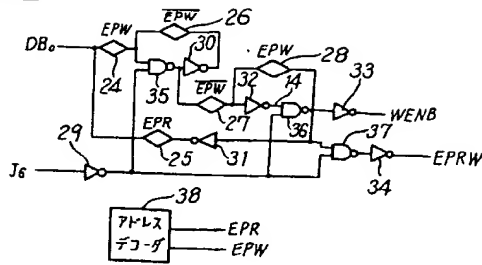
#### 4. 図面の簡単な説明

第 1 図はこの発明の一実施例を示すブロック図、

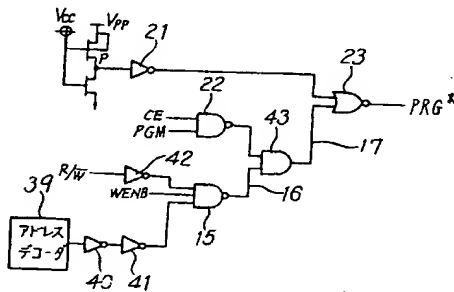
第 1 図



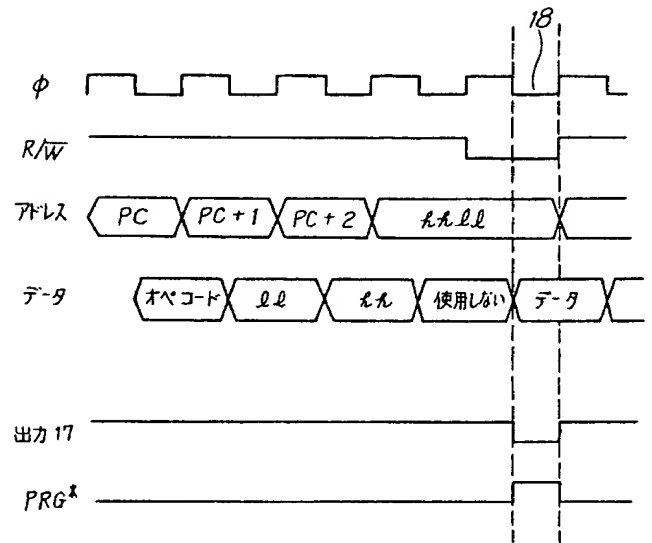
第2図



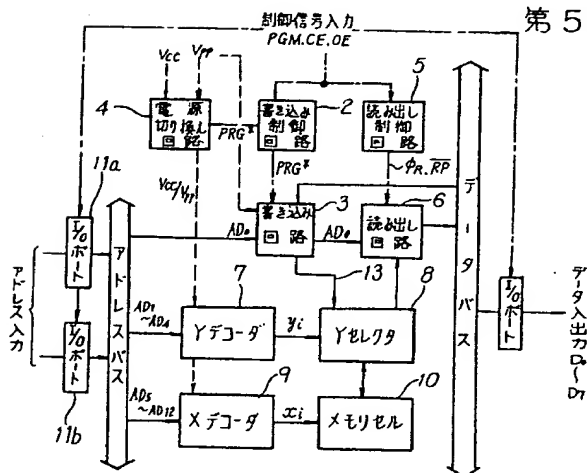
第3図



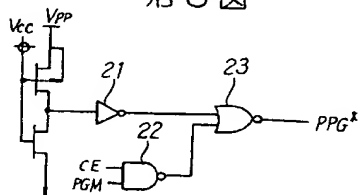
第4図



第5図



第6図



手続補正書 (自発)

昭和 61 年 2 月 24 日

特許庁長官殿

1. 事件の表示 特願昭 60-240094 号

2. 発明の名称 マイクロコンピュータ

3. 補正をする者

事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601) 三菱電機株式会社  
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375) 弁理士 大岩増雄  
(連絡先 03(213) 3421 特許部)

5. 補正の対象

(1) 明細書の「発明の詳細な説明」の欄

(2) 図面

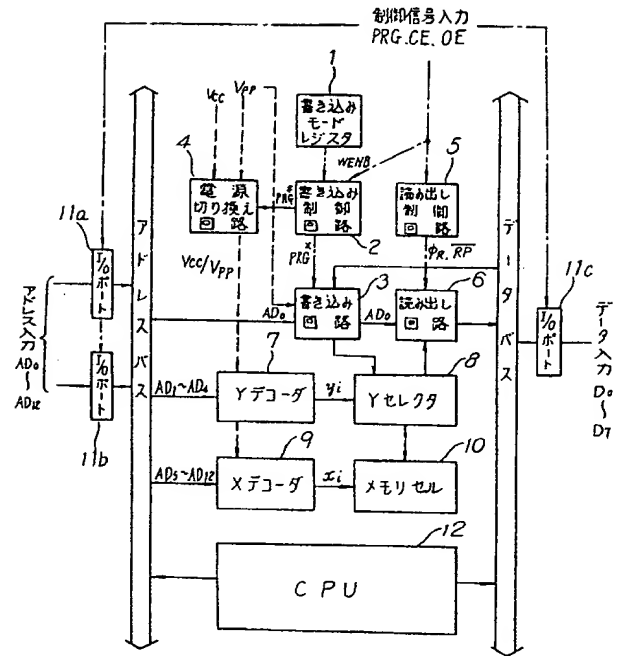
6. 補正の内容

- (1) 明細書才 3 頁才 9 行目「 $AD_5$ 」とあるを「 $AD_4$ 」と訂正する。
- (2) 同書才 5 頁才 11 行目「レベル  $V_{pp}$ 」とあるを「レベルは  $V_{pp}$ 」と訂正する。
- (3) 図面才 1 図、才 2 図、才 5 図、才 6 図をそれぞれ別図のとおり訂正する。

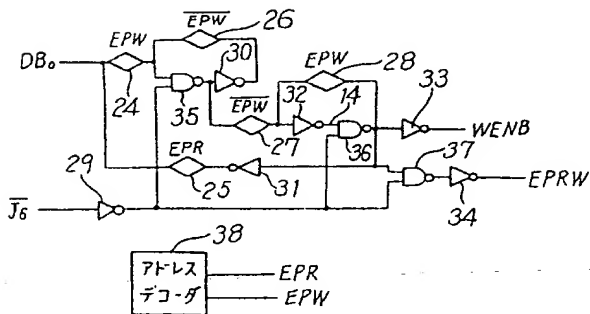
7. 添付書類の目録

- (1) 訂正した才 1 図、才 2 図、才 5 図、才 6 図  
 ..... 各 1 通  
 (以上)

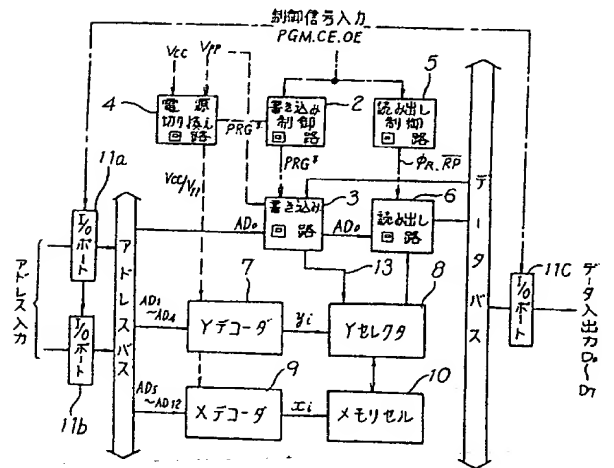
第 1 図



第 2 図



第 5 図



第 6 図

